

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-101076  
 (43)Date of publication of application : 05.04.2002

(51)Int.CI. H04L 5/16  
 H04L 7/00  
 H04L 29/08  
 H04L 25/02

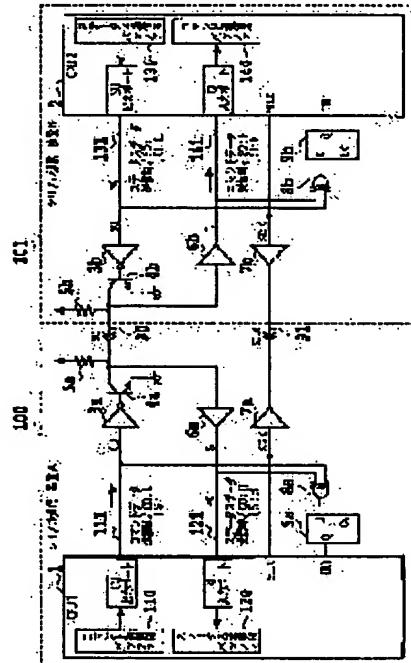
(21)Application number : 2000-287050 (71)Applicant : CANON INC  
 (22)Date of filing : 21.09.2000 (72)Inventor : AKIYAMA SATORU

**(54) SERIAL COMMUNICATION SYSTEM, SERIAL COMMUNICATIONS EQUIPMENT, SERIAL COMMUNICATION METHOD, AND MEDIUM RECORDED WITH SERIAL COMMUNICATION CONTROL PROGRAM**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To detect at early stage the failure of communication, when the timing of transmission and reception deviates among devices, and to reduce the influence of noise from the external.

**SOLUTION:** At transmitting of data for transmission from a line for transmission via a data signal line to the external, the transmission signal level of the line for transmission during transmission and the reception signal level of a line for reception in an opened state are detected; the detected transmission signal level is compared with the detected reception signal level; and when those level values are different, it is determined that there is a communication abnormality.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-101076  
(P2002-101076A)

(43)公開日 平成14年4月5日 (2002.4.5)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード(参考)
H 04 L 5/16		H 04 L 5/16	5 K 0 1 8
7/00		7/00	H 5 K 0 2 9
29/08		25/02	3 0 2 Z 5 K 0 3 4
25/02	3 0 2	13/00	3 0 7 B 5 K 0 4 7

審査請求 未請求 請求項の数13 OL (全24頁)

(21)出願番号 特願2000-287050(P2000-287050)

(22)出願日 平成12年9月21日 (2000.9.21)

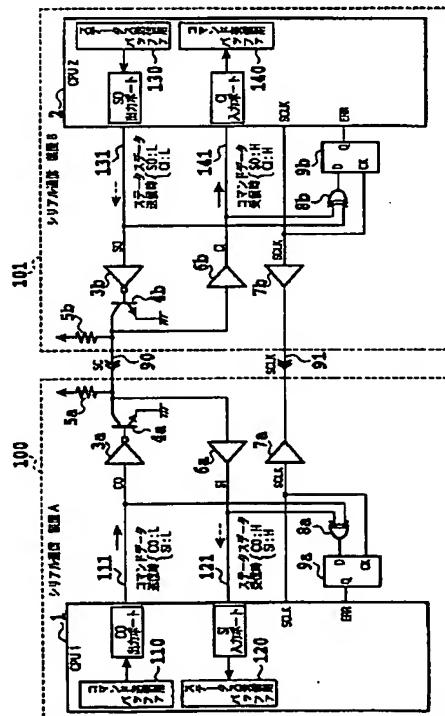
(71)出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72)発明者 秋山 哲  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(74)代理人 100077481  
弁理士 谷 義一 (外1名)  
Fターム(参考) 5K018 AA02 BA05 CA03 FA03 FA06  
5K029 AA02 CC01 DD02 EE06 GG07  
HH01 HH26 KK01 KK11 KK24  
5K034 AA06 DD05 MM05 PP01  
5K047 AA13 BB05 GG03 KK03 KK17  
MM62

(54)【発明の名称】シリアル通信システム、シリアル通信装置、シリアル通信方法、および、シリアル通信制御プログラムを記録した媒体

(57)【要約】

【課題】 装置間で送受信のタイミングがずれた場合の通信不良を早期に検知すること。外部からのノイズの影響を受けにくくすること。

【解決手段】 送信用データを送信用ラインからデータ信号線を介して外部に送信するに際し、送信中における送信用ラインの送信信号レベル、開放状態にある受信用ラインの受信信号レベルを検出し、検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なる場合には通信異常と判断する。



## 【特許請求の範囲】

【請求項1】 第1の装置と第2の装置の間で、双方にデータを送受信する单一のデータ信号線を介して、半二重シリアル通信を行うシステムであって、  
前記第1の装置、および、前記第2の装置は、  
送信用ラインに接続され、送信用データを送信する送信手段と、  
受信用ラインに接続され、受信用データを受信する受信手段と、  
前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行う切替え手段と、  
前記切替え手段によって、前記受信用ラインを開放状態とし、かつ、前記送信用ラインと前記データ信号線とを接続状態として、前記送信手段によって前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信するに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出する検出手段と、  
前記検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なっている場合には通信異常と判断する判断手段とを具えたことを特徴とするシリアル通信システム。

【請求項2】 第1の装置と第2の装置との間で、双方にデータを送受信する单一のデータ信号線を介して半二重シリアル通信を行うシステムであって、

前記第1の装置は、  
所定のデータ数分のクロックを送出するクロック送出手段と、  
送信時は、前記クロック送出手段から送出するクロックの周期を第1クロック周期に設定する手段と、  
受信時は、前記クロック送出手段から送出するクロックの周期を第2クロック周期に設定する手段とを具え、  
前記第2の装置は、  
前記クロック送出手段から送出された前記クロックの周期を計数する計数手段と、  
前記計数手段で計数したクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別するクロック判別手段と、  
前記判別手段の判別結果に基づいて、データ転送中において前記クロックの周期が変化したかを検出するクロック周期変化検出手段と、  
前記検出されたクロックの周期が変化している場合には通信異常と判定する判定手段とを具えたことを特徴とするシリアル通信システム。

【請求項3】 第1の装置と第2の装置との間で、双方にデータを送受信する单一のデータ信号線を介して、半二重シリアル通信を行うシステムであって、  
前記第1の装置、および、前記第2の装置は、

前記データ信号線に発生したノイズを、各信号通過帯域に対応して除去するノイズ除去手段と、  
前記ノイズ除去手段の信号通過帯域を切り替える切替手段と、  
前記データ信号線の信号レベルの変化を検出することによって、受信から送信に切り替える切替タイミングを判定する切替タイミング判定手段と、  
前記判定した切替タイミングに合わせて、前記切替手段によって前記ノイズ除去手段の信号通過帯域を変更する制御手段とを具えたことを特徴とするシリアル通信システム。

【請求項4】 双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信装置であって、

送信用ラインに接続され、送信用データを送信する送信手段と、  
受信用ラインに接続され、受信用データを受信する受信手段と、

前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行う切替え手段と、

前記切替え手段によって、前記受信用ラインを開放状態とし、かつ、前記送信用ラインと前記データ信号線とを接続状態として、前記送信手段によって前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信するに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出する検出手段と、

前記検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なっている場合には通信異常と判断する判断手段とを具えたことを特徴とするシリアル通信装置。

【請求項5】 双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信装置であって、

所定のデータ数分のクロックを送出するクロック送出手段と、  
送信時は、前記クロック送出手段から送出するクロックの周期を第1クロック周期に設定する手段と、  
受信時は、前記クロック送出手段から送出するクロックの周期を第2クロック周期に設定する手段とを具えたことを特徴とするシリアル通信装置。

【請求項6】 前記他の装置は、

前記クロック送出手段から送出された前記クロックの周期を計数する計数手段と、  
前記計数手段で計数したクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別するクロック判別手段と、  
前記判別手段の判別結果に基づいて、データ転送中にお

いて前記クロックの周期が変化したかを検出するクロック周期変化検出手段と、  
前記検出されたクロックの周期が変化している場合には通信異常と判定する判定手段とを具えたことを特徴とする請求項5記載のシリアル通信装置。

【請求項7】 双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信装置であって、

前記データ信号線に発生したノイズを、各信号通過帯域に対応して除去するノイズ除去手段と、

前記ノイズ除去手段の信号通過帯域を切り替える切替手段と、  
前記データ信号線の信号レベルの変化を検出することによって、受信から送信に切り替える切替タイミングを判定する切替タイミング判定手段と、

前記判定した切替タイミングに合わせて、前記切替手段によって前記ノイズ除去手段の通過帯域を変更する制御手段とを具えたことを特徴とするシリアル通信装置。

【請求項8】 双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信方法であって、

送信用データを、送信用ラインから前記データ信号線を介して外部に送信する送信工程と、

受信用データを、前記データ信号線を介して受信用ラインに導いて受信する受信工程と、

前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行う切替え工程と、

前記接続の切替えによって、前記受信用ラインを開放状態とし、かつ、前記送信用ラインと前記データ信号線とを接続状態として、前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信するに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出する検出工程と、

前記検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なっている場合には通信異常と判断する判断工程とを具えたことを特徴とするシリアル通信方法。

【請求項9】 第1の装置と第2の装置との間で、双方にデータを送受信する单一のデータ信号線を介して半二重シリアル通信を行うシリアル通信方法であって、  
前記第1の装置は、

所定のデータ数分のクロックを送出するクロック送出工程と、

送信時は、前記送出するクロックの周期を第1クロック周期に設定する工程と、

受信時は、前記送出するクロックの周期を第2クロック周期に設定する工程とを具え、  
前記第2の装置は、

前記送出されたクロックの周期を計数する計数工程と、  
前記計数手段で計数したクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別するクロック判別工程と、

前記判別の結果に基づいて、データ転送中において前記クロックの周期が変化したかを検出するクロック周期変化検出工程と、

前記検出されたクロックの周期が変化している場合には通信異常と判定する判定工程とを具えたことを特徴とするシリアル通信方法。

【請求項10】 双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信方法であって、

前記データ信号線の信号レベルの変化を検出することによって、受信から送信に切り替える切替タイミングを判定する切替タイミング判定工程と、

前記判定した切替タイミングに合わせて、前記ノイズを除去するための信号通過帯域を変更する制御工程と、

前記変更した信号通過帯域に基づいて、前記データ信号線に発生したノイズを除去するノイズ除去工程とを具えたことを特徴とするシリアル通信方法。

【請求項11】 双方向にデータを送受信する单一のデータ信号線を介して、コンピュータによって、他の装置と半二重シリアル通信制御を行うためのプログラムを記録した媒体であって、  
該制御プログラムはコンピュータに、

送信用データを送信用ラインから前記データ信号線を介して外部に送信、又は、受信用データを前記データ信号線を介して受信用ラインに導いて受信させるに際して、前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行わせ、  
前記接続の切替えによって、前記受信用ラインを開放状態とさせ、かつ、前記送信用ラインと前記データ信号線とを接続状態とさせて、前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信させるに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出させ、

前記検出された送信信号レベルと受信信号レベルとを比較させ、該レベル値が異なっている場合には通信異常と判断させたことを特徴とするシリアル通信制御プログラムを記録した媒体。

【請求項12】 第1の装置と第2の装置との間で、コンピュータによって、双方にデータを送受信する单一のデータ信号線を介して、半二重シリアル通信制御を行うためのプログラムを記録した媒体であって、  
該制御プログラムはコンピュータに、

前記第1の装置において、  
所定のデータ数分のクロックを送出するに際して、

送信時は、前記送出するクロックの周期を第1クロック周期に設定させ、受信時は、前記送出するクロックの周期を第2クロック周期に設定させ、

前記第2の装置において、

前記送出されたクロックの周期を計数させ、

前記計数手段で計数させたクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別させ、

前記判別の結果に基づいて、データ転送中において前記クロックの周期が変化したかを検出させ、

前記検出させたクロックの周期が変化している場合には通信異常と判定させたことを特徴とするシリアル通信制御プログラムを記録した媒体。

【請求項13】 双方向にデータを送受信する单一のデータ信号線を介して、コンピュータによって、他の装置と半二重シリアル通信の制御を行うためのプログラムを記録した媒体であって、

該制御プログラムはコンピュータによって、

前記データ信号線の信号レベルの変化を検出させることによって、受信から送信に切り替える切替タイミングを判定させ、

前記判定させた切替タイミングに合わせて、前記ノイズを除去するための信号通過帯域を変更させ、

前記変更させた信号通過帯域に基づいて、前記データ信号線に発生したノイズを除去させることを特徴とするシリアル通信制御プログラムを記録した媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリアル通信システム、シリアル通信装置、シリアル通信方法、および、シリアル通信制御プログラムを記録した媒体に関する。

【0002】

【従来の技術】 従来の半二重シリアル通信装置では、特開昭61-208331号公報に開示されているように、送信および受信のタイミングをビギーラインで判別し、各装置がデータラインにデータを同時に出力しないように構成されている。

【0003】

【発明が解決しようとする課題】 しかしながら、上記従来例では、送信および受信のタイミングを判別するためビギーラインが必要である。

【0004】 そこで、本発明の目的は、ビギーラインを削減し、データラインを使って送信と受信とのタイミングを判別するシリアル通信において、装置間で送受信のタイミングがずれた場合の通信不良を早期に検知することが可能な、シリアル通信システム、シリアル通信装置、シリアル通信方法、および、シリアル通信制御プログラムを記録した媒体を提供することにある。

【0005】 また、本発明の目的は、ビギーラインを削減し、データラインを使って送信と受信とのタイミン

グを判別するシリアル通信において、外部からのノイズの影響を受けにくい信頼性の高い、シリアル通信システム、シリアル通信装置、シリアル通信方法、および、シリアル通信制御プログラムを記録した媒体を提供することにある。

【0006】

【課題を解決するための手段】 本発明は、第1の装置と第2の装置の間で、双方向にデータを送受信する单一のデータ信号線を介して、半二重シリアル通信を行うシステムであって、前記第1の装置、および、前記第2の装置は、送信用ラインに接続され、送信用データを送信する送信手段と、受信用ラインに接続され、受信用データを受信する受信手段と、前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行う切替え手段と、前記切替え手段によって、前記受信用ラインを開放状態とし、かつ、前記送信用ラインと前記データ信号線とを接続状態として、前記送信手段によって前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信するに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出する検出手段と、前記検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なっている場合には通信異常と判断する判断手段とをえることによって、シリアル通信システムを構成する。

【0007】 本発明は、第1の装置と第2の装置との間で、双方向にデータを送受信する单一のデータ信号線を介して半二重シリアル通信を行うシステムであって、前記第1の装置は、所定のデータ数分のクロックを送出するクロック送出手段と、送信時は、前記クロック送出手段から送出するクロックの周期を第1クロック周期に設定する手段と、受信時は、前記クロック送出手段から送出するクロックの周期を第2クロック周期に設定する手段とをえ、前記第2の装置は、前記クロック送出手段から送出された前記クロックの周期を計数する計数手段と、前記計数手段で計数したクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別するクロック判別手段と、前記判別手段の判別結果に基づいて、データ転送中において前記クロックの周期が変化したかを検出するクロック周期変化検出手段と、前記検出されたクロックの周期が変化している場合には通信異常と判定する判定手段とをえることによって、シリアル通信システムを構成する。

【0008】 本発明は、第1の装置と第2の装置との間で、双方向にデータを送受信する单一のデータ信号線を介して、半二重シリアル通信を行うシステムであって、前記第1の装置、および、前記第2の装置は、前記データ信号線に発生したノイズを、各信号通過帯域に対応して除去するノイズ除去手段と、前記ノイズ除去手段の信

号通過帯域を切り替える切替手段と、前記データ信号線の信号レベルの変化を検出することによって、受信から送信に切り替える切替タイミングを判定する切替タイミング判定手段と、前記判定した切替タイミングに合わせて、前記切替手段によって前記ノイズ除去手段の信号通過帯域を変更する制御手段とを具えることによって、シリアル通信システムを構成する。

【0009】本発明は、双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信装置であって、送信用ラインに接続され、送信用データを送信する送信手段と、受信用ラインに接続され、受信用データを受信する受信手段と、前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行う切替え手段と、前記切替え手段によって、前記受信用ラインを開放状態とし、かつ、前記送信用ラインと前記データ信号線とを接続状態として、前記送信手段によって前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信するに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出する検出手段と、前記検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なっている場合には通信異常と判断する判断手段とを具えることによって、シリアル通信装置を構成する。

【0010】本発明は、双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信装置であって、所定のデータ数分のクロックを送出するクロック送出手段と、送信時は、前記クロック送出手段から送出するクロックの周期を第1クロック周期に設定する手段と、受信時は、前記クロック送出手段から送出するクロックの周期を第2クロック周期に設定する手段とを具えることによって、シリアル通信装置を構成する。

【0011】ここで、前記他の装置は、前記クロック送出手段から送出された前記クロックの周期を計数する計数手段と、前記計数手段で計数したクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別するクロック判別手段と、前記判別手段の判別結果に基づいて、データ転送中において前記クロックの周期が変化したかを検出するクロック周期変化検出手段と、前記検出されたクロックの周期が変化している場合には通信異常と判定する判定手段とを具えることによって、シリアル通信装置を構成する。

【0012】本発明は、双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信装置であって、前記データ信号線に発生したノイズを、各信号通過帯域に対応して除去するノイズ除去手段と、前記ノイズ除去手段の信号通過帯域を切り替える切替手段と、前記データ信号線の信号

レベルの変化を検出することによって、受信から送信に切り替える切替タイミングを判定する切替タイミング判定手段と、前記判定した切替タイミングに合わせて、前記切替手段によって前記ノイズ除去手段の通過帯域を変更する制御手段とを具えることによって、シリアル通信装置を構成する。

【0013】本発明は、双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信方法であって、送信用データを、送信用ラインから前記データ信号線を介して外部に送信する送信工程と、受信用データを、前記データ信号線を介して受信用ラインに導いて受信する受信工程と、前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行う切替え工程と、前記接続の切替えによって、前記受信用ラインを開放状態とし、かつ、前記送信用ラインと前記データ信号線とを接続状態として、前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信するに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出する検出工程と、前記検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なっている場合には通信異常と判断する判断工程とを具えることによって、シリアル通信方法を提供する。

【0014】本発明は、第1の装置と第2の装置との間で、双方向にデータを送受信する单一のデータ信号線を介して半二重シリアル通信を行うシリアル通信方法であって、前記第1の装置は、所定のデータ数分のクロックを送出するクロック送出工程と、送信時は、前記送出するクロックの周期を第1クロック周期に設定する工程と、受信時は、前記送出するクロックの周期を第2クロック周期に設定する工程とを具え、前記第2の装置は、前記送出されたクロックの周期を計数する計数工程と、前記計数手段で計数したクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別するクロック判別工程と、前記判別の結果に基づいて、データ転送中において前記クロックの周期が変化したかを検出するクロック周期変化検出工程と、前記検出されたクロックの周期が変化している場合には通信異常と判定する判定工程とを具えることによって、シリアル通信方法を提供する。

【0015】本発明は、双方向にデータを送受信する单一のデータ信号線を介して、他の装置と半二重シリアル通信を行うシリアル通信方法であって、前記データ信号線の信号レベルの変化を検出することによって、受信から送信に切り替える切替タイミングを判定する切替タイミング判定工程と、前記判定した切替タイミングに合わせて、前記ノイズを除去するための信号通過帯域を変更する制御工程と、前記変更した信号通過帯域に基づい

て、前記データ信号線に発生したノイズを除去するノイズ除去工程とを具えることによって、シリアル通信方法を提供する。

【0016】本発明は、双方向にデータを送受信する单一のデータ信号線を介して、コンピュータによって、他の装置と半二重シリアル通信制御を行うためのプログラムを記録した媒体であって、該制御プログラムはコンピュータに、送信用データを送信用ラインから前記データ信号線を介して外部に送信、又は、受信用データを前記データ信号線を介して受信用ラインに導いて受信させるに際して、前記データ信号線と、前記送信用ラインおよび前記受信用ラインとの間で、送信又は受信に対応して接続の切替えを行わせ、前記接続の切替えによって、前記受信用ラインを開放状態とさせ、かつ、前記送信用ラインと前記データ信号線とを接続状態とさせて、前記送信用データを前記送信用ラインから前記データ信号線を介して外部に送信させるに際して、該送信中における前記送信用ラインの送信信号レベル、および、前記開放状態にある前記受信用ラインの受信信号レベルを検出させ、前記検出させた送信信号レベルと受信信号レベルとを比較させ、該レベル値が異なっている場合には通信異常と判断させたことによって、シリアル通信制御プログラムを記録した媒体を提供する。

【0017】本発明は、第1の装置と第2の装置との間で、コンピュータによって、双方向にデータを送受信する单一のデータ信号線を介して、半二重シリアル通信制御を行うためのプログラムを記録した媒体であって、該制御プログラムはコンピュータに、前記第1の装置において、所定のデータ数分のクロックを送出するに際して、送信時は、前記送出するクロックの周期を第1クロック周期に設定させ、受信時は、前記送出するクロックの周期を第2クロック周期に設定させ、前記第2の装置において、前記送出されたクロックの周期を計数させ、前記計数手段で計数させたクロックの周期が、前記第1クロック周期又は前記第2クロック周期に相当するかを判別させ、前記判別の結果に基づいて、データ転送中において前記クロックの周期が変化したかを検出させ、前記検出させたクロックの周期が変化している場合には通信異常と判定させたことによって、シリアル通信制御プログラムを記録した媒体を提供する。

【0018】本発明は、双方向にデータを送受信する单一のデータ信号線を介して、コンピュータによって、他の装置と半二重シリアル通信の制御を行うためのプログラムを記録した媒体であって、該制御プログラムはコンピュータによって、前記データ信号線の信号レベルの変化を検出させることによって、受信から送信に切り替える切替タイミングを判定させ、前記判定させた切替タイミングに合わせて、前記ノイズを除去するための信号通過帯域を変更させ、前記変更させた信号通過帯域に基づいて、前記データ信号線に発生したノイズを除去させる

ことによって、シリアル通信制御プログラムを記録した媒体を提供する。

#### 【0019】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0020】【第1の例】本発明の第1の実施の形態を、図1～図5に基づいて説明する。

【0021】(システム構成) 本システムの構成について説明する。

【0022】図1は、本発明に係るシリアル通信システムの構成例を示す。本例では、双方向にデータを送受信する单一のデータ信号線を介して、半二重シリアル通信を行うことが可能な、シリアル通信装置100(以下、装置Aという)、シリアル通信装置101(以下、装置Bという)を例に挙げて説明する。

【0023】装置Aと装置Bは、データ情報を転送するデータ信号線としてのSC信号線90と、データの送受信タイミングを規定するSCLK信号線91とによって接続されている。

【0024】1は、装置Aの制御を行うCPUである。このCPU1には、装置Bに対する指示(以下、コマンドデータという)を送信する出力ポートCOと、装置Bからの受信データ(以下、ステータスデータという)を入力する入力ポートSIと、シリアル転送のためのクロック出力ポートSCLKと、後述する通信エラーを示す信号を入力する入力ポートERRとが設けられている。

【0025】また、CPU1内には、送信用のシリアルなコマンドデータ(ここでは、C7～C0からなる8ビット)を保持するコマンド送信用バッファ110と、受信用のシリアルなステータスデータ(ここでは、S7～S0からなる8ビット)を保持するステータス受信用バッファ120とが設けられている。

【0026】コマンド送信用バッファ110からのコマンドデータは、出力ポートCOを介して、送信用ライン111に送出される。一方、受信用ライン121から送られてきたステータスデータは、入力ポートSIにより受信され、ステータス受信用バッファ120に保持される。

【0027】2は、装置Bの制御を行うCPUであり、基本的な構成は装置Aと同じである。このCPU2には、ステータスデータを送信用ライン131を介して装置Aに送出する出力ポートSOと、装置Aからのコマンドデータを受信用ライン141を介して入力する入力ポートCIと、シリアル転送のためのクロック入力ポートSCLKと、後述する通信エラーを示す信号を入力する入力ポートERRとを備えている。

【0028】3a、3bは、送信用ライン111に接続されたインバータである。

【0029】4a、4bは、NPN型のトランジスタであり、入力側のベースがインバータ3a、3bと接続さ

れ、出力側のコレクタがSC信号線90と接続されている。また、トランジスタ4aのコレクタには、受信用ライン121が接続されている。トランジスタ4bのコレクタには、受信用ライン141が接続されている。

【0030】5a, 5bは、プルアップ抵抗であり、SC信号線90をプルアップしている。

【0031】トランジスタ4a, 4bは、ベースがHレベルの時にON状態となり、SC信号線90をLレベルにし、ベースがLレベルの時にOFF状態となり、SC信号線90はプルアップ抵抗5a, 5bによってHレベルになる。

【0032】6aは受信用ライン121上に接続されたバッファ、6bは受信用ライン141上に接続されたバッファである。7a, 7bは、SCLK信号線91に接続されたバッファである。

【0033】8a, 8bは、排他的論理和の論理回路である。9a, 9bは、Dタイプフリップフロップである。

【0034】この論理回路8a, 8bは、2入力端子のうちの一方が送信用ライン111に接続され、他方が受信用ライン112に接続され、出力端子はDタイプフリップフロップ9a, 9bの入力端子Dに接続されている。また、Dタイプフリップフロップ9a, 9bの出力端子Qは、CPU1の入力ポートERRと接続されており、通信異常を示すERR信号を出力する。

【0035】このフリップフロップ9a, 9bは、SC-LK信号の立ち上がりリエッジに同期してD入力データをラッチするように動作するため、ERR信号は、SCLK信号の立ち上がり時に排他的論理和の論理回路8a, 8bの2入力が同じレベルの場合はLレベルになり、2入力が互いに異なるレベルの場合はHレベルになる。

【0036】すなわち、データの送信動作を行った後に、実際のデータ信号線90が送信したデータと違っていることを検知し、通信エラーとしてERR信号をHレベルにしている。

【0037】(システム動作)以下、本システムの動作について説明する。

【0038】まず、送受信時の動作の概要について説明する。

【0039】(送信時)装置Aから装置Bにコマンドデータを送信する場合について説明する。このコマンドデータの送信時には、装置A側では、出力ポートCOおよび入力ポートSIは共にLレベルにあり、装置B側では、出力ポートSOおよび入力ポートCIは共にHレベルにある。

【0040】これにより、装置Aでは、トランジスタ4aがオン状態にあり、送信用ライン111とSC信号線90とが接続され、受信用ライン121は開放状態となる。装置Bでは、トランジスタ4bがオフ状態にあり、受信用ライン141とSC信号線90とが接続され、送

信用ライン131は開放状態となる。

【0041】従って、装置Aからのコマンドデータの送信時には、装置Aの送信用ライン111がSC信号線90を介して、装置Bの受信用ライン141と接続されることになる。

【0042】具体的には、装置Aにおいて、CPU1のコマンド送信用バッファ110に保持されたシリアルのコマンドデータは、1ビット単位で出力ポートCOに出力され、送信用ライン111を介してSC信号線90に送出される。このようにして送出されたコマンドデータは、装置Bにおいて受信用ライン141を介して入力ポートCIに受信される。この受信されたコマンドデータは、1ビット単位でコマンド受信用バッファ140に順次保持される。

【0043】(受信時)装置Bからのステータスデータを装置Aで受信する場合について説明する。このステータスデータの受信時には、装置A側では、出力ポートCOおよび入力ポートSIは共にHレベルにあり、装置B側では、出力ポートSOおよび入力ポートCIは共にLレベルに。

【0044】これにより、装置Aでは、トランジスタ4aがオフ状態にあり、受信用ライン121とSC信号線90とが接続され、送信用ライン111は開放状態となる。装置Bでは、トランジスタ4bがオン状態にあり、送信用ライン131とSC信号線90とが接続され、受信用ライン141は開放状態となる。

【0045】従って、装置Aにおいてステータスデータの受信時には、装置Aの受信用ライン121がSC信号線90を介して、装置Bの送信用ライン131と接続されることになる。

【0046】具体的には、装置Bにおいて、CPU2のステータス送信用バッファ130に保持されたシリアルのコマンドデータは、1ビット単位で出力ポートSOに出力され、送信用ライン131を介してSC信号線90に送出される。このようにして送出されたコマンドデータは、装置Aにおいて受信用ライン121を介して入力ポートSIに受信される。この受信されたステータスデータは、1ビット単位でステータス受信用バッファ120に順次保持される。

【0047】以下、具体例を挙げて詳細に説明する。

【0048】図2は、正常にシリアル通信が行われた場合のタイミングチャートを示す。

【0049】CPU1は、装置Bに8ビットのコマンドデータ(C7~C0)をSCLK信号の立ち上がりに同期して順次CO出力ポートに出力する。

【0050】CPU2は、SCLK信号の立ち下がリエッジに同期して順次CI入力ポートの入力を取り込み、コマンドデータを全て受信したら返信のためのステータスデータを用意し、SOポートをLレベルにしてSCLK信号の立ち上がりを待つ。

【0051】CPU1は、SOポートのLレベルを確認した後、ステータスデータの受信のためにSCLK信号を出力する。

【0052】CPU2は、CPU1が出力するSCLK信号の立ち上がりエッジに同期してステータスデータ(S7～SO)を順次SO出力ポートに出力する。

【0053】CPU1は、SCLK信号の立ち下がりエッジに同期して順次SI入力ポートの入力を取り込み通信が終了する。

【0054】本例では、コマンドデータ、ステータスデータ共に8ビットのデータとし、2進数で表した時の最上位ビットを先頭に順次データを転送している。

【0055】(装置Aの通信動作)図3は、CPU1のシリアル通信動作のフローチャートを示す。

【0056】図3において、ステップS101は、送信するコマンドデータを用意し、コマンド送信用バッファ110にセットする。

【0057】ステップS102は、コマンド送信用バッファの最上位ビット(7ビット目)の値によりCO出力ポートをセットする処理で、最上位ビットが1ならばCO出力ポートをHレベルにし、最上位ビットが0ならばCO出力ポートをLレベルにする。

【0058】ステップS103は、SCLK信号をHレベルにし、転送クロック周期の半分の時間に相当する所定時間待った後に次のステップに移る。

【0059】ステップS104は、SCLK信号をLレベルにし、転送クロック周期の半分の時間に相当する所定時間待った後に次のステップに移る。

【0060】ステップS105は、ERR入力ポートのレベルを判断し、ERR入力ポートがLレベルならば通信に異常がないのでステップS106へ移り、ERR入力ポートがHレベルならば通信異常と判断し、ステップS115へ移る。

【0061】ステップS106は、コマンド送信用バッファのデータを1ビット左にシフト(7ビット目に6ビット目のデータを移し、6ビット目に5ビット目のデータを移し、5ビット目に4ビット目のデータを移し、4ビット目に3ビット目のデータを移し、3ビット目に2ビット目のデータを移し、2ビット目に1ビット目のデータを移し、1ビット目に0ビット目のデータを移し、0ビット目のデータは1にセットする)する。

【0062】ステップS107は、送信のためのループ回数を判断し、8ビット分のデータ送信が終了(ループ回数=7)すればステップS108へ移る。

【0063】ステップS108は、CO出力ポートをHレベルにすることで、トランジスタ4aをOFF状態にし、SC信号線を装置Bが使用できるように開放する。

【0064】ステップS109は、装置Bがステータスデータの送信準備が完了したかを判断する処理で、SI入力ポートがLレベルになったらステータスデータの送

信準備が完了したと判断し、ステップS110へ移る。

【0065】ステップS110は、SCLK信号をHレベルにし、転送クロック周期の半分の時間に相当する所定時間待った後に次のステップに移る。

【0066】ステップS111は、SCLK信号をLレベルにし、転送クロック周期の半分の時間に相当する所定時間待った後に次のステップに移る。

【0067】ステップS112は、SI入力ポートの値がHレベルならばステータス受信用バッファの最下位ビット(0ビット目)に1をセットし、SI入力ポートの値がLレベルならばステータス受信用バッファ120の最下位ビットに0をセットする。

【0068】ステップS113は、受信のためのループ回数を判断し、8ビット分のデータ受信が終了していないければ(ループ回数7未満)ステップS114へ移り、8ビット分のデータ受信が終了すれば1回分の通信が終了したのでステップS101へ戻る。

【0069】ステップS114は、ステータス受信用バッファのデータを1ビット左にシフトする。ステップS115は、通信に異常があるため、通信の初期化動作を行いステップS101へ戻る。

【0070】(装置Bの通信動作)図4は、CPU2のシリアル通信動作のフローチャートを示す。

【0071】図4において、ステップS201は、装置Aからのコマンドデータ受信のために、SCLK信号がHレベルになったかを判断し、HレベルになればステップS202へ移る。

【0072】ステップS202は、SCLK信号がLレベルになったかを判断し、LレベルになればステップS203へ移る。

【0073】ステップS203は、CI入力ポートの値がHレベルならばコマンド受信用バッファ140の最下位ビット(0ビット目)に1をセットし、CI入力ポートの値がLレベルならばコマンド受信用バッファ140の最下位ビットに0をセットする。

【0074】ステップS204は、受信のためのループ回数を判断し、8ビット分のデータ受信が終了していないければ(ループ回数7未満)ステップS205へ移り、8ビット分のデータ受信が終了すればステップS206へ戻る。

【0075】ステップS205は、コマンド受信用バッファ140のデータを1ビット左にシフトする。

【0076】ステップS206は、受信したコマンドデータの内容を解析する。

【0077】ステップS207は、コマンドデータの解析結果に対応したステータスデータを用意し、ステータス送信バッファにセットする。

【0078】ステップS208は、ステータスの送信準備が完了したので、SO出力ポートをLレベルにすることでSC信号線をLレベルにし、装置Aにステータス送

信用のSCLK信号を要求する。

【0079】ステップS209は、装置Aからのステータスデータ送信のために、SCLK信号がHレベルになったかを判断し、HレベルになればステップS210へ移る。

【0080】ステップS210は、ステータス送信用バッファの最上位ビット(7ビット目)の値によりSO出力ポートをセットする処理で、最上位ビットが1ならばSO出力ポートをHレベルにし、最上位ビットが0ならばSO出力ポートをLレベルにする。

【0081】ステップS211は、SCLK信号がLレベルになったかを判断し、LレベルになればステップS203へ移る。

【0082】ステップS212は、ERR入力ポートのレベルを判断し、ERR入力ポートがLレベルならば通信に異常がないのでステップS213へ移り、ERR入力ポートがHレベルならば通信異常と判断し、ステップS215へ移る。

【0083】ステップS213は、送信のためのループ回数を判断し、8ビット分のデータ送信が終了していないれば(ループ回数7未満)ステップS214へ移り、8ビット分のデータ受信が終了すれば1回分の通信が終了したのでステップS201へ戻る。

【0084】ステップS214は、ステータス送信用バッファ130のデータを1ビット左にシフトする。ステップS215は、通信に異常があるため、通信の初期化動作を行いステップS201へ戻る。

【0085】(通信異常検出)図5は、通信に異常があった場合のタイミングチャートである。

【0086】図5において、CPU1はコマンドデータとして2進数で01010110の8ビットデータの送信を開始したとする。

【0087】このとき、CPU1からのコマンドデータの送信時には、送信用ライン111の送信信号レベルはLレベルであるので、このコマンドデータの受信状態にあるCPU2の受信用ライン141の受信信号レベルはHレベルになければならない。また、同時に、CPU2の送信用ライン131の送信信号レベルもHレベルになければならない。

【0088】しかし、今、CPU2もステータスデータの送信を開始してしまったとする。

【0089】このCPU2も誤って送信時となったことにより、優先度の高い送信用ライン131の信号レベルがLレベルとなる。これに伴い、受信用ライン141の信号レベルもHレベルからLレベルに変化してしまう。

【0090】これにより、論理回路8bの2入力端子の値が互いに異ってしまう状態が存在するため、フリップフロップ9bからは、通信異常を示すHレベルのERR信号が出力され、ERRポートに入力される。

【0091】図5に示す例では、通信途中の5ビット目

を送信した後に、ERRポートがHレベルになっていることを検知したことを示すものである。この通信エラーの検知に伴って、破線で示す以降の送信動作を止め、通信の初期化動作を行うように制御することになる。

【0092】以上説明したように、送信データを監視する事で通信エラーを検知することができる効果がある。

【0093】[第2の例]次に、本発明の第2の実施の形態を、図6～図8に基づいて説明する。なお、前述した第1の例と同一部分についての説明は省略し、同一符号を付す。

【0094】図6は、本システムの構成を示すものであり、シリアル通信装置100(装置A)、シリアル通信装置101(装置B)からなる。

【0095】本例では、装置A、B間に前述した転送用クロック信号線であるSCLK信号線91が存在せず、各装置A、B内にタイマーハード200(装置A)、タイマーハード201を内蔵させてSCLK信号の発生を制御するようにした場合の例である。

【0096】以下、タイマーハード200、201の具体的な構成について説明する。

【0097】図6において、10a、10bはPNP型トランジスタ、11a、11bは抵抗で、SC信号線をプルダウンしている。

【0098】トランジスタ10a、10bは、ベースがLレベルの時にON状態となり、SC信号線90はプルアップ抵抗5a、5bによってHレベルになる。また、トランジスタ10a、10bは、ベースがHレベルの時にOFF状態となり、SC信号線90はプルダウン抵抗11a、11bによってLレベルになる。

【0099】12a、12bは発振器であり、イネーブル入力Eとクロック出力CKを有し、イネーブルEの立ち上がりエッジに同期してクロックの位相を調整するライン同期機能を有している。

【0100】13a、13bは3入力のOR回路、14a、14bはインバータ、15a、15b、16a、16bはAND回路である。

【0101】17a、17、18a、18bは、Dタイプのフリップフロップであり、フリップフロップ17a、17、18a、18bとAND回路16a、16bとによってワンショットパルス回路を形成している。ワンショットパルス回路は、SC信号の立ち上がりエッジに同期して、1クロック分のHパルスをRA、RB信号に出力する回路である。

【0102】19a、19bは、4ビットカウンタであり、リセット入力RSTとイネーブル入力/ENとクロック入力/CKを有し、イネーブル/ENがLレベルの間はクロック/CKの立ち下がりエッジ毎に出力Q3～Q0で表される2進数のカウント値が+1されていき、イネーブル/ENがHレベルの間はカウント値が変化しない。また、リセットRSTがHレベルになると、カウ

ント値は0にリセットされる。

【0103】図7は、正常にシリアル通信が行われた場合のタイミングチャートを示す。

【0104】CPU1は、CO出力ポートをHレベルにすることにより、装置Bに送信開始を報知する。CO出力ポートがHレベルになると、トランジスタ10aがON状態になり、SC信号線90はHレベルとなる。

【0105】SC信号線90がHレベルになると、OR回路13a, 13bの出力CEA, CEBがHレベルになり、その立ち上がりエッジに同期してクロック出力CLKA, CLKCBの位相が調整される。

【0106】また、SC信号線90がHレベルになったことにより、RA, RB信号にHレベルのパルスが出力され、カウンタ19a, 19bがリセットされ、カウント値は0になりカウント動作を開始すると共に、AND回路15a, 15bに入力されているQ3A, Q3B信号もHレベルにかわり、CPU1, 2にクロックCLKA, CLKCB信号を伝達できるようになる。

【0107】カウンタ19a, 19bは、カウント値が8になると、出力Q3がHレベルにかわり、/EN入力がHレベルになるためカウント動作を止める。

【0108】このように各装置A, B内にクロック発生の制御を行うタイマーハードウェアを内蔵させ、CPU1がCO出力ポートをHレベルすなわち送信開始の時点からCEA, CEB信号の周期的な動作に基づいてクロックSCCLKA, SCLKB信号を動作させ、8ビットのデータの送信を終了した時点で回路状態を一時的に遮断した状態に設定することができる。その他の通信処理は、前述した第1の例で説明した場合と同様に行うことができる。

【0109】図8は、通信に異常があった場合のタイミングチャートである。

【0110】図8において、CPU1はコマンドデータとして2進数で00000000の送信を開始したが、同時に、CPU2もステータスデータの送信を開始してしまった場合の例である。

【0111】この場合、通信途中の4ビット目を送信した後にERRポートがHレベルになっていることを検知し、破線で示す以降の送信動作を止め、通信の初期化動作を行うように動作する。

【0112】このように、最初の通信や、異常状態から復帰した後などに、全てのデータがSC信号線90を開放した状態になるようにして通信を行うことによって、通信の異常を一段と早く検出することができる。

【0113】以上説明したように、転送のためのクロック信号線がない場合でも、所定タイミングで送信データを監視することにより、通信エラーを検知することができる。

【0114】【第3の例】次に、本発明の第3の実施の形態を、図9～図13に基づいて説明する。なお、前述

した第1の例と同一部分についてはその説明を省略し、同一符号を付す。

【0115】(概要)まず、本例の発明の概要について説明する。

【0116】データ信号線を介して半二重シリアル通信を行うシステムにおいて、装置Aは、所定のデータ数分のクロックを送出するクロック送出手段と、送信時は、クロック送出手段から送出するクロックの周期を第1クロック周期に設定する手段と、受信時は、クロック送出手段から送出するクロックの周期を第2クロック周期に設定する手段とを具える。

【0117】装置Bは、クロック送出手段から送出されたクロックの周期を計数する計数手段と、計数手段で計数したクロックの周期が、第1クロック周期又は第2クロック周期に相当するかを判別するクロック判別手段と、判別手段の判別結果に基づいて、データ転送中においてクロックの周期が変化したかを検出するクロック周期変化検出手段と、検出されたクロックの周期が変化している場合には通信異常と判定する判定手段とを具える。

【0118】(システム構成)以下、具体的な構成について説明する。

【0119】図9は、本システムの構成例を示すブロック図である。

【0120】装置A、装置Bは、データ情報を転送するSC信号線90と、データ送受信タイミングを規定するSCLK信号線91で接続されている。

【0121】図9において、CPU1には、装置Bに対する指示(コマンドデータ)を送信する出力ポートCOと、装置Bからの受信データ(ステータスデータ)を入力する入力ポートSIと、シリアル転送を行うためのクロックSCLK信号を出力するクロック出力ポートSCCLKと、シリアル転送のためのクロック出力の開始を指示する出力ポートSTと、クロックの周期を切り替える出力ポートT/Rとを備えている。

【0122】CPU2には、装置Aからのコマンドデータを入力する入力ポートCIと、装置Aに対してステータスデータを送信する出力ポートSOと、シリアル転送のためのクロック入力ポートSCLKと、後述するSCLK信号の周期をカウントした値を入力する入力ポートCNT[3:0]とを備えている。

【0123】SOは、発振器であり、送信のためのクロックCLKA信号を出力する。

【0124】SIは、発振器であり、受信のためのクロックCLKB信号を出力する。

【0125】本例では、CLKA信号の周期に対してCLKB信号の周期を3倍に設定している。

【0126】S2は、セレクタである。セレクタS2は、CPU1からのT/R信号が入力される入力端子Sと、CLKA信号が入力される入力端子Aと、CLKB

信号が入力される入力端子Bと、出力端子Qとを備えている。

【0127】CPU1からのT/R信号がHレベルのときは入力端子Aを選択し、T/R信号がLレベルのときは入力端子Bを選択し、この選択した端子からの信号を出力端子QからCLK信号として出力する。

【0128】33は、4ビットのカウンタであり、Q3～Q0で表される2進数をクロック入力/CLKの立ち下がりエッジ毎に+1する。

【0129】本例では、出力Q3をイネーブル入力/Eに接続しているため、カウント値が8(1000b)になると、カウントを停止する。また、ロード入力LDにCPU1からのST信号を接続しており、ST信号がHレベルになると、クロックCLKの立ち下がりでカウント値を0にリセットする。

【0130】34は、インバータ、35はAND回路であり、カウンタ33のカウント値が8未満のときにクロックCLKをSCLK信号に伝達する。

【0131】36は、発振器であり、SCLK信号の周기를カウントするためのクロックを出力する。

【0132】37は、カウンタであり、RST入力であるSCLK信号がHレベルの期間を発振器14からのクロックでカウントし、カウント値をQ[3:0]に出力し、SCLK信号はLレベルのときはカウント値が0になる。

【0133】38は、4ビットのフリップフロップであり、SCLK信号の立ち下がりエッジでカウンタ37のカウント値をラッチし、CNT[3:0]に出力する。

【0134】図10は、正常にシリアル通信が行われた場合のタイミングチャートを示す。CPU1は、送信のためのクロックをCLKAにし、装置Bに8ビットのコマンドデータ(C7～C0)をSCLK信号の立ち上がりに同期して順次CO出力ポートに出力する。

【0135】CPU2は、SCLK信号の立ち下がりエッジに同期して順次CI入力ポートの入力を取り込み、コマンドデータをすべて受信したら返信のためのステータスデータを用意し、SOポートをLレベルにしてSCLK信号の立ち上がりを待つ。

【0136】CPU1は、SOポートのLレベルを確認した後、受信のためのクロックをCLKBにし、ステータスデータの受信のためにSCLK信号を出力する。

【0137】CPU2は、CPU1が出力するSCLK信号の立ち上がりエッジに同期してステータスデータ(S7～S0)を順次SO出力ポートに出力する。

【0138】CPU1は、SCLK信号の立ち下がりエッジに同期して順次SI入力ポートの入力を取り込み通信が終了する。

【0139】本例では、コマンドデータ、ステータスデータ共に8ビットのデータとし、2進数で表したときの最上位ビットを先頭に順次データを転送している。

【0140】(装置Aの通信動作)図11は、CPU1のシリアル通信動作を示すフローチャートである。図4はCPU2のシリアル通信動作のフローチャートである。

【0141】図3において、ステップS301は、T/R信号をHレベルにすることによって、送信に使用するクロックをCLKAにする。

【0142】ステップS302は、送信するコマンドデータを用意し、コマンド送信用バッファ110にセットする。

【0143】ステップS303は、ST信号にHレベルのパルスを出力することによってカウンタ11のカウント値を0に戻し、送信のためのSCLKクロックの出力を開始する。

【0144】ステップS304は、SCLK信号がHレベルになったかを判断し、HレベルになればステップS105へ移る。

【0145】ステップS305は、コマンド送信用バッファの最上位ビット(7ビット目)の値によりCO出力ポートをセットする処理で、最上位ビットが1ならばCO出力ポートをHレベルにし、最上位ビットが0ならばCO出力ポートをLレベルにする。

【0146】ステップS306は、SCLK信号がLレベルになったかを判断し、LレベルになればステップS107へ移る。

【0147】ステップS307は、コマンド送信用バッファのデータを1ビット左にシフト(7ビット目に6ビット目のデータを移し、6ビット目に5ビット目のデータを移し、5ビット目に4ビット目のデータを移し、4ビット目に3ビット目のデータを移し、3ビット目に2ビット目のデータを移し、2ビット目に1ビット目のデータを移し、1ビット目に0ビット目のデータを移し、0ビット目のデータは1にセットする)する。

【0148】ステップS308は、送信のためのループ回数を判断し、8ビット分のデータ送信が終了(ループ回数=7)すればステップS309へ移り、終了していなければステップS304へ戻る。

【0149】ステップS309は、CO出力ポートをHレベルにすることで、トランジスタ4aをOFF状態にし、SC信号線90を装置Bが使用できるように開放する。

【0150】ステップS310は、装置Bがステータスデータの送信準備が完了したかを判断する処理で、SI入力ポートがLレベルになったらステータスデータの送信準備が完了したと判断し、ステップS311へ移る。

【0151】ステップS311は、T/R信号をLレベルにすることによって受信に使用するクロックをCLKBにする。

【0152】ステップS312は、SCLK信号がHレベルになったかを判断し、HレベルになればステップS

S313へ移る。

【0153】ステップS313は、SCLK信号がLレベルになったかを判断し、Lレベルになれば、ステップS314へ移る。

【0154】ステップS314は、SI入力ポートの値がHレベルならばステータス受信用バッファ120の最下位ビット(0ビット目)に1をセットし、SI入力ポートの値がLレベルならばステータス受信用バッファ120の最下位ビットに0をセットする。

【0155】ステップS315は、受信のためのループ回数を判断し、8ビット分のデータ受信が終了していないければ(ループ回数7未満)ステップS316へ移り、8ビット分のデータ受信が終了すれば1回分の通信が終了したので、ステップS301へ戻る。

【0156】ステップS316は、ステータス受信用バッファ120のデータを1ビット左にシフトする。

【0157】(装置Bの通信動作)図12は、CPU2のシリアル通信動作を示すフローチャートである。

【0158】図12において、ステップS401は、装置Aからのコマンドデータ受信のために、SCLK信号がHレベルになったかを判断し、HレベルになればステップS402へ移る。

【0159】ステップS402は、SCLK信号がLレベルになったかを判断し、LレベルになればステップS403へ移る。

【0160】ステップS403は、CI入力ポートの値がHレベルならばコマンド受信用バッファ140の最下位ビット(0ビット目)に1をセットし、CI入力ポートの値がLレベルならばコマンド受信用バッファ140の最下位ビットに0をセットする。

【0161】ステップS404は、SCLK信号の周期を判断するステップであり、SCLK信号のHレベル期間のカウント値CNT[3:0]の値が所定値XX(本例では、6)未満かを判断し、カウント値CNT[3:0]がXX未満ならばステップS406へ移り、カウント値CNT[3:0]がXX以上ならば通信にエラーが発生したと認識し、ステップS416へ移る。

【0162】ステップS405は、受信のためのループ回数を判断し、8ビット分のデータ受信が終了していないければ(ループ回数7未満)ステップS406へ移り、8ビット分のデータ受信が終了すればステップS407へ移る。

【0163】ステップS406は、コマンド受信用バッファ140のデータを1ビット左にシフトする。

【0164】ステップS407は、受信したコマンドデータの内容を解析する。

【0165】ステップS408は、コマンドデータの解析結果に対応したステータスデータを用意し、ステータス送信バッファ130にセットする。

【0166】ステップS409は、ステータスの送信準

備が完了したので、SO出力ポートをLレベルにすることによってSCLK信号線をLレベルにし、装置Aにステータス送信用のSCLK信号を要求する。

【0167】ステップS410は、装置Aからのステータスデータ送信のために、SCLK信号がHレベルになったかを判断し、HレベルになればステップS411へ移る。

【0168】ステップS411は、ステータス送信用バッファの最上位ビット(7ビット目)の値によりSO出力ポートをセットする処理で、最上位ビットが1ならばSO出力ポートをHレベルにし、最上位ビットが0ならばSO出力ポートをLレベルにする。

【0169】ステップS412は、SCLK信号がLレベルになったかを判断し、LレベルになればステップS413へ移る。

【0170】ステップS413は、SCLK信号の周期を判断するステップであり、SCLK信号のHレベル期間のカウント値CNT[3:0]の値が所定値XX(本例では、6)未満かを判断し、カウント値CNT[3:0]がXX以上ならばステップS414は移り、カウント値CNT[3:0]がXX未満ならば通信にエラーが発生したと認識し、ステップS416へ移る。

【0171】ステップS414は、送信のためのループ回数を判断し、8ビット分のデータ送信が終了していないければ(ループ回数7未満)ステップS415へ移り、8ビット分のデータ受信が終了すれば1回分の通信が終了したので、ステップS401へ戻る。

【0172】ステップS415は、ステータス送信用バッファ130のデータを1ビット左にシフトする。

【0173】ステップS416は、通信に異常があるため、通信の初期化動作を行い、ステップS401へ戻る。

【0174】(通信異常検出)図13は、通信に異常があった場合のタイミングチャートを示す。

【0175】図13において、CPU1は、コマンドデータの送信を開始したが、5ビット目を送信した後通信途中で送信と受信が切り替わり、クロックSCLKの周期が変化したため、CPU2は、破線で示す以降の受信動作を止め、通信の初期化動作を行う様に動作する。

【0176】以上説明したように、転送のためのクロックSCLKを送信時と受信時で変えることによって、クロックSCLKの周期を使って通信エラーを検知することができ、また、エラーの発生したタイミングのクロックSCLKの周期により、装置Aが送信状態にあるか受信状態にあるかを知ることもできる。

【0177】[第4の例]次に、本発明の第4の実施の形態を、図14に基づいて説明する。なお、前述した第3の例と同一部分についてはその説明を省略し、同一符号を付す。

【0178】本例は、前述した第3の例の変形例であ

り、装置B内の構成を変えた場合の例である。

【0179】図14は、本システムの構成例を示す。装置Bにおいて、40は、インバータである。41は、4ビットのカウンタであり、Q3～Q0で表される2進数をクロック入力SCLKの立ち下がりエッジ毎に+1する。

【0180】本例では、出力端子Q3をイネーブル入力端子/ENに接続しているため、カウント値が8(100b)になると、カウントを停止する。

【0181】また、ロード入力LDにCPU2からのST信号を接続しており、ST信号がHレベルになるとクロックCLKの立ち下がりでカウント値を0にリセットする。

【0182】従って、前述した第3の例で、SCLK信号のHレベル期間をカウントしていたカウンタ37は、本例では、SCLKクロックの8周期分をカウントすることになる。その間に合わせて発振器36のクロック周期も調整する。

【0183】CPU2は、受信動作の開始と送信動作の開始時に、ST出力に所定のパルス出力を出力することでカウンタ41のカウント値を0に戻し、8ビットの受信もしくは送信に係る時間をカウンタ41で測定し、カウント値CNT[3:0]と所定の値を比較することによって、通信エラーを検知する。

【0184】以上説明したように、送信時と受信時に係る時間を測定することによって、通信エラーを検知することができる。

【0185】[第5の例] 本発明の第5の実施の形態を、図15～図16に基づいて説明する。なお、前述した第1の例と同一部分についてはその説明を省略し、同一符号を付す。

【0186】(概要) 本例の概要について説明する。

【0187】装置Aは、データ信号線に発生したノイズを、各信号通過帯域に対応して除去するノイズ除去手段と、ノイズ除去手段の信号通過帯域を切り替える切替手段と、データ信号線の信号レベルの変化を検出することによって、受信から送信に切り替える切替タイミングを判定する切替タイミング判定手段と、判定した切替タイミングに合わせて、切替手段によってノイズ除去手段の信号通過帯域を変更する制御手段とを備えている。なお、このような各種の機能は、装置Bにも設けるようにしてもよい。

【0188】(システム構成) 以下、具体例を挙げて説明する。

【0189】図15は、本システムの構成例を示す。装置Aと装置Bは、データ情報を転送するSC信号線と、データ送受信タイミングを規定するSCLK信号線90で接続されている。

【0190】図15において、装置Aを制御するCPU1は、装置Bに対する指示(コマンドデータ)を送信す

る出力ポートCOと、装置Bからの受信データ(ステータスデータ)を入力する入力ポートSIと、シリアル転送のためのクロック出力ポートSCLKと、ノイズフィルタ51の特性を切り替える切替信号CTを出力する出力ポートCTとを備えている。

【0191】装置Aにおいて、50は、PチャンネルFET(MOSトランジスタ)であり、ゲートには出力ポートCTから切替信号CTが入力される。

【0192】51は、PチャンネルFET50により駆動制御されるノイズフィルタである。ノイズフィルタ51には、抵抗(R)52と、コンデンサ(C1)53と、コンデンサ(C2)54とが設けられている。

【0193】PチャンネルFET50は、ゲートがHレベルのときにON状態となり、SC信号線90に対してコンデンサ54が接続され、ゲートがLレベルのときにOFF状態となり、SC信号線90に対してコンデンサ54は未接続になる。このコンデンサ54が未接続のときには、コンデンサ53のみがSC信号線90に接続されることになる。

【0194】また、入力ポートSIに対して、抵抗52と、コンデンサ53と、コンデンサ54とは、その定数で決まる時定数(C1・R, C2・R)によって、低域通過フィルタを構成しており、本例では、コンデンサ53に対してコンデンサ54の容量値を数倍(例えば、10倍)に設定し、PチャンネルFET50がON状態のときに対してOFF状態のときの入力ポートSIに通過可能な周波数帯域は数倍(約10倍)になる。

【0195】このPチャンネルFET50がOFF状態のときの通過可能な周波数を決定する抵抗52とコンデンサ53の定数は、使用する通信のデータ転送速度に対して十分なマージンをもって決定する。

【0196】一方、装置Bを制御するCPU2は、装置Aからのコマンドデータを入力する入力ポートCIと、装置Aに対してステータスデータを送信する出力ポートSOと、シリアル転送のためのクロック入力ポートSCLKとを備えている。

【0197】装置Bにおいて、SC信号線90とバッファ6bとの間には、抵抗(R)60と、コンデンサ(C3)61とが接続されている。

【0198】図16は、シリアル通信のタイミングチャートを示す。

【0199】CPU1は、装置Bに8ビットのコマンドデータ(C7～C0)をSCLK信号の立ち上がりに同期して順次CO出力ポートに出力し、8ビット分のデータを出力し終わったら、CT出力ポートをHレベルにして低域通過フィルタを構成するノイズフィルタ51の特性をより低域側にする。

【0200】CPU2は、SCLK信号の立ち下がりエッジに同期して順次CI入力ポートの入力を取り込み、コマンドデータを全て受信したら返信のためのステータ

データを用意し、SOポートをLレベルにしてSCLK信号の立ち上がりを待つ。

【0201】CPU1は、SIポートを監視することによってSOポートのLレベルを確認した後、CTポートをLレベルに戻し、ステータスデータの受信のためにSCLK信号を出力する。

【0202】CPU2は、CPU1が出力するSCLK信号の立ち上がりエッジに同期してステータスデータ(S7～S0)を順次SO出力ポートに出力する。

【0203】CPU1は、SCLK信号の立ち下がりエッジに同期して順次SI入力ポートの入力を取り込み通信が終了する。

【0204】本例では、コマンドデータ、ステータスデータ共に8ビットのデータとし、2進数で表した時の最上位ビットを先頭に順次データを転送している。以上説明したように、SC信号線90に対してノイズフィルタ51(低域通過フィルタ)を備え、シリアル転送中と、送受信の切り替えタイミングとを検知することによって、ノイズフィルタ51の特性を変更し、送受信の切り替えタイミング時において外部からのノイズの影響を受け難くすることができる。

【0205】【第6の例】本発明の第6の実施の形態を、図17～図18に基づいて説明する。なお、前述した第5の例と同一部分についてはその説明を省略し、同一符号を付す。

【0206】本例は、前述した第5の例(図15参照)の変形例である。

【0207】図17は、本システムを構成する装置100の構成例を示す。

【0208】図17において、71は、発振器であり、クロック信号CLK1を出力する。

【0209】72は、発振器であり、クロック信号CLK2を出力する。

【0210】本例では、CLK2は、CLK1の8倍の周期に設定している。

【0211】73は、セレクタである。このセレクタ73には、CPU1のCT端子と接続された入力端子Sと、CLK1を出力する発振器71に接続された入力端子Aと、CLK2信号を出力する発振器72に接続された入力端子Bと、CLK1又はCLK2をCLKとして出力する出力端子Qとが設けられている。

【0212】セレクタ73の入力端子Sに入力されるCT信号の信号レベルに応じて、その入力端子Sでの信号レベルがLレベルのときは出力端子Qを入力端子Aと接続し、その信号レベルがHレベルのときは出力端子Qを入力端子Bと接続する。従って、CT信号がLレベルのときにはCLK1がCLKとして出力され、CT信号がHレベルのときにはCLK2がCLKとして出力される。

【0213】74, 75はDタイプフリップフロップ、

76は排他的論理和回路である。

【0214】77は、イネーブル端子付Dタイプフリップフロップであり、イネーブル端子/ENがLレベルのときは入力端子DからのデータをクロックCKの立ち上がりエッジで取り込み、イネーブル端子/ENがHレベルのときはデータD、クロックCKに関係なくデータを保持したままとなる。

【0215】従って、SC信号は、ST1信号とST2信号とが同じレベルになり、排他的論理和76の出力であるイネーブル信号/ENがLレベルになる場合、すなわち、クロック信号CLKの立ち上がりエッジ2周期分以上続けて同じレベルにならないとSI信号に伝達されない。そのため、外部から進入したクロック信号CLKの周期よりも短いパルスのノイズは除去される。

【0216】図18は、シリアル通信のタイミングチャートを示す。

【0217】CPU1は、装置Bに8ビットのコマンドデータ(2進数で10110001b)をSCLK信号の立ち上がりに同期して順次CO出力ポートに出力する。

【0218】そして、8ビット分のデータを出力し終わったならば、CT出力ポートをHレベルにして、フリップフロップ74, 75, 77で使用するクロックを周期の長いCLK2に切り替える。

【0219】CPU2(前述した図15参照)は、SCLK信号の立ち下がりエッジに同期して順次CI入力ポートの入力を取り込み、コマンドデータを全て受信したら返信のためのステータスデータを用意し、SOポートをLレベルにしてSCLK信号の立ち上がりを待つ。

【0220】CPU1は、SIポートを監視することによってSC信号線90のLレベルを確認した後、CTポートをLレベルに戻し、ステータスデータの受信のためにSCLK信号を出力する。

【0221】CPU2は、CPU1が出力するSCLK信号の立ち上がりエッジに同期してステータスデータ(2進数で00101110b)を順次SO出力ポートに出力する。

【0222】CPU1は、SCLK信号の立ち下がりエッジに同期して順次SI入力ポートの入力を取り込み、通信が終了する。

【0223】SC信号のN1およびN2のポイントで、SC信号線90に外部から点線で示したようなノイズ250が注入されたとき、ポイントN1では、クロック信号CLK(=CLK2)の立ち上がりエッジ部分にノイズパルスがないため、ノイズ250は、それ以降SI信号に伝達されない。

【0224】これに対して、ポイントN2では、クロック信号CLK(=CLK1)の立ち上がりエッジでノイズ250を取り込んでしまい、その結果、そのノイズ250はST1信号、ST2信号と伝達されるが、ノイズ

250のパルス幅がクロック信号CLKの2周期分以下のため、イネーブル信号/ENがHレベルとなり、ノイズ250はSI信号には伝達されない。

【0225】以上説明したように、ロジック回路を使ってノイズを除去することができ、クロック周期を切り替えることによって、ノイズに対する周波数特性を変更することができる。

【0226】なお、本発明は、複数の機器（例えば、ホストコンピュータ、インターフェース機器、リーダ、プリンタなど）から構成されるシステムに適用しても、1つの機器（例えば、PDA（個人情報管理）機器のような小型の画像処理機器、複写機、ファクシミリ装置）からなる装置に適用してもよい。

【0227】また、本発明は、システム或いは装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。そして、本発明を達成するためのソフトウェアによって表されるプログラムを格納した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（又はCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによって、本発明の効果を享受することができる。

【0228】この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0229】プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード（ICメモリカード）、ROM（マスクROM、フラッシュEEPROMなど）などを用いることができる。

【0230】また、コンピュータが読み出されたプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼動しているOS（オペレーティングシステム）などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0231】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0232】

【発明の効果】以上説明したように、本発明によれば、送信用データを送信用ラインからデータ信号線を介して

外部に送信するに際し、送信中における送信用ラインの送信信号レベル、開放状態にある受信用ラインの受信信号レベルを検出し、検出した送信信号レベルと受信信号レベルとを比較し、該レベル値が異なっている場合には通信異常と判断するようにしたので、装置間で送受信のタイミングがずれた場合の通信異常を早期に検出することができる。

【0233】また、本発明によれば、一方の装置において、所定のデータ数分のクロックを送出するに際して、送信時は送出するクロックの周期を第1クロック周期に設定し、受信時は送出するクロックの周期を第2クロック周期に設定し、他方の装置において、送出されたクロックの周期を計数し、計数したクロックの周期が第1クロック周期又は第2クロック周期に相当するかを判別し、判別の結果に基づいてデータ転送中においてクロックの周期が変化したかを検出し、検出したクロックの周期が変化している場合には通信異常と判定させたので、このように転送用のクロックを送信時と受信時とで変えることによって、クロックの周期を使って通信異常を検知することができると共に、外部からのノイズの影響を受けにくい信頼性の高いシステムを構築することができる。

【0234】さらに、本発明によれば、データ信号線の信号レベルの変化を検出させることによって、受信から送信に切り替える切替タイミングを判定し、判定した切替タイミングに合わせて、ノイズを除去するための信号通過帯域を変更し、変更した信号通過帯域に基づいて、データ信号線に発生したノイズを除去するようにしたので、このようにデータ信号線に対してノイズフィルタを有し、シリアル転送中と、送受信の切り替えタイミングとを検知し、この切り替えタイミング時にフィルタの特性を変更することによって、送受信の切り替えタイミングにおいて外部からのノイズの影響を受け難くすることができ、信頼性の高いシステムを構築することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態である、シリアル通信システムの構成を示すブロック図である。

【図2】シリアル通信処理を示すタイミングチャートである。

【図3】CPU1のシリアル通信処理を示すフローチャートである。

【図4】CPU2のシリアル通信処理を示すフローチャートである。

【図5】シリアル通信処理を示すタイミングチャートである。

【図6】本発明の第2の実施の形態である、シリアル通信システムの構成を示すブロック図である。

【図7】シリアル通信処理を示すタイミングチャートである。

【図8】シリアル通信処理を示すタイミングチャートである。

【図9】本発明の第3の実施の形態である、シリアル通信システムの構成を示すブロック図である。

【図10】シリアル通信処理を示すタイミングチャートである。

【図11】CPU1のシリアル通信処理を示すフローチャートである。

【図12】CPU2のシリアル通信処理を示すフローチャートである。

【図13】シリアル通信処理を示すタイミングチャートである。

【図14】本発明の第4の実施の形態である、シリアル通信システムの構成を示すブロック図である。

【図15】本発明の第5の実施の形態である、シリアル通信システムの構成を示すブロック図である。

【図16】シリアル通信処理を示すタイミングチャートである。

【図17】本発明の第6の実施の形態である、シリアル通信システムの構成を示すブロック図である。

【図18】シリアル通信処理を示すタイミングチャートである。

#### 【符号の説明】

- 1 装置AのCPU
- 2 装置BのCPU
- 4a, 4b トランジスタ
- 8a, 8b 論理回路

9a, 9b フリップフロップ回路

30, 31

32 セレクタ

33 カウンタ

36 発振器

37 カウンタ

38 フリップフロップ

51 ノイズフィルタ

52 抵抗

53, 54 コンデンサ

60 抵抗

61 コンデンサ

90 SC信号線

91 SCLK信号線

100 シリアル通信装置（装置A）

101 シリアル通信装置（装置B）

110 コマンド送信用バッファ

111 送信用ライン

120 ステータス受信用バッファ

121 受信用ライン

130 ステータス送信用バッファ

131 送信用ライン

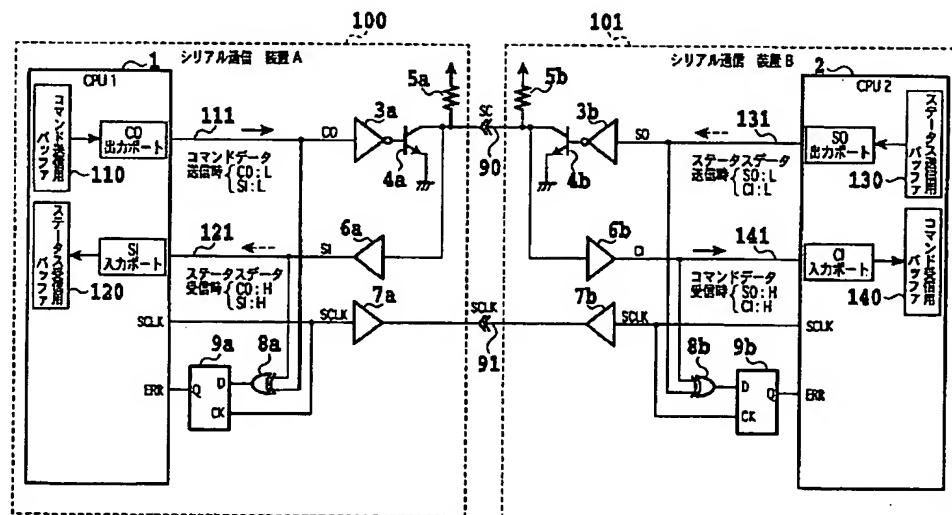
140 コマンド受信用バッファ

141 受信用ライン

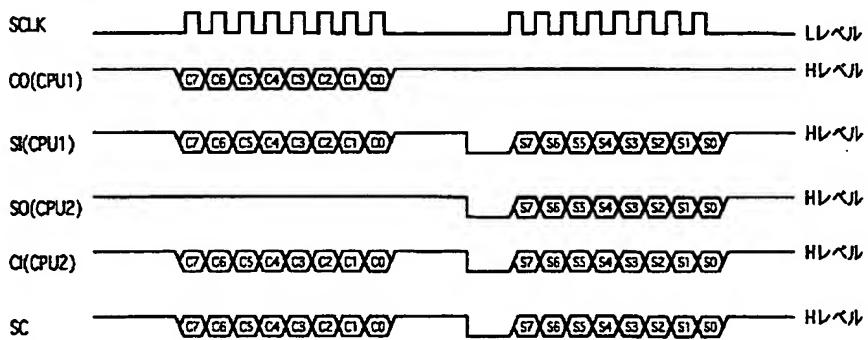
200, 201 タイマー回路

250 ノイズ

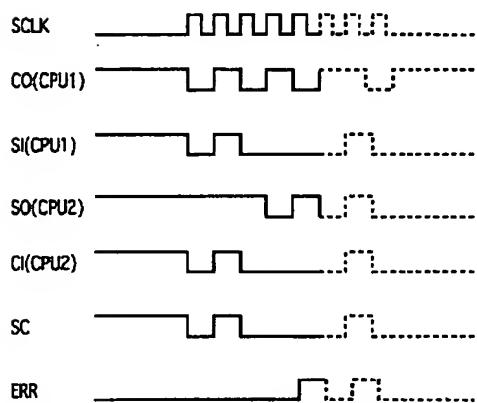
【図1】



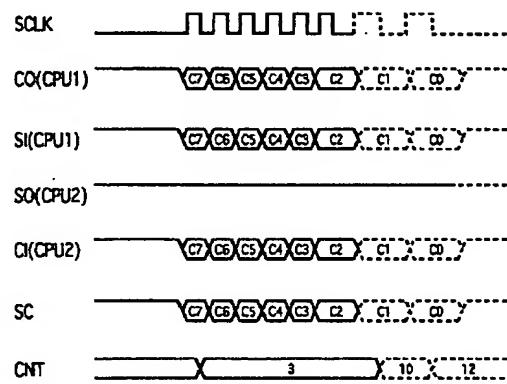
【図2】



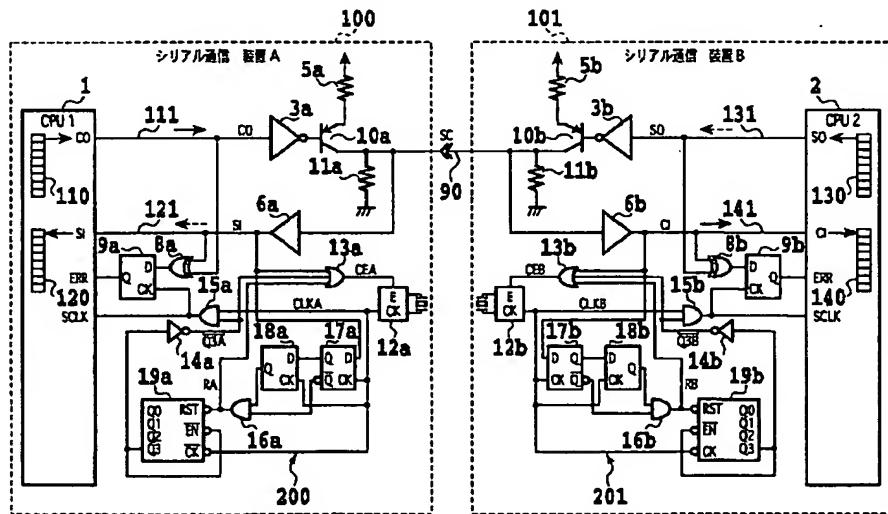
【図5】



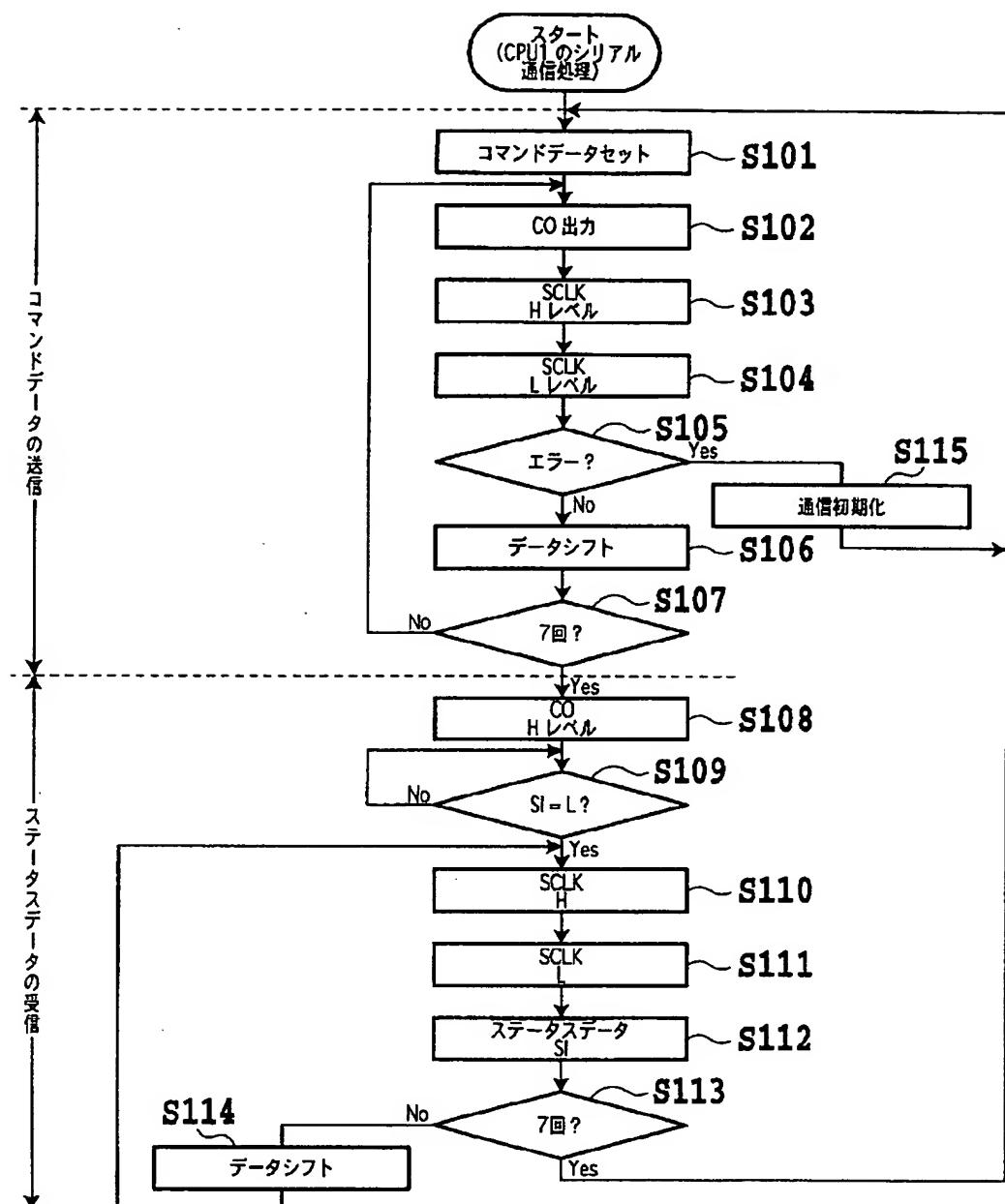
【図13】



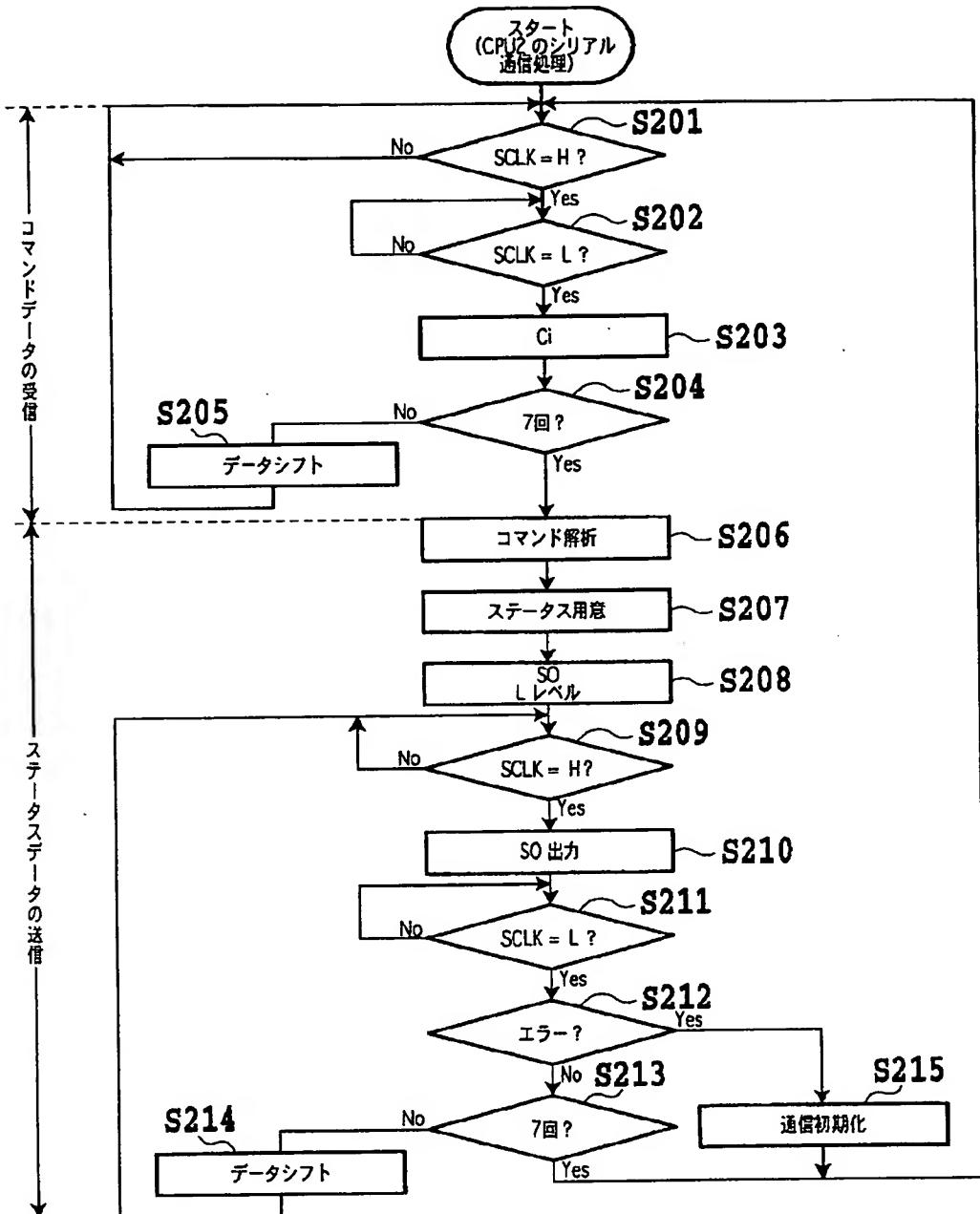
【図6】



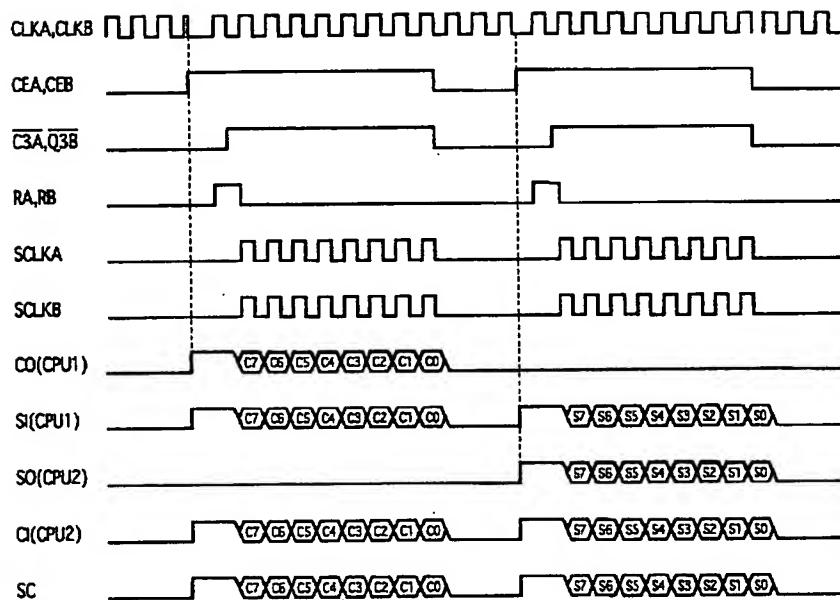
【図3】



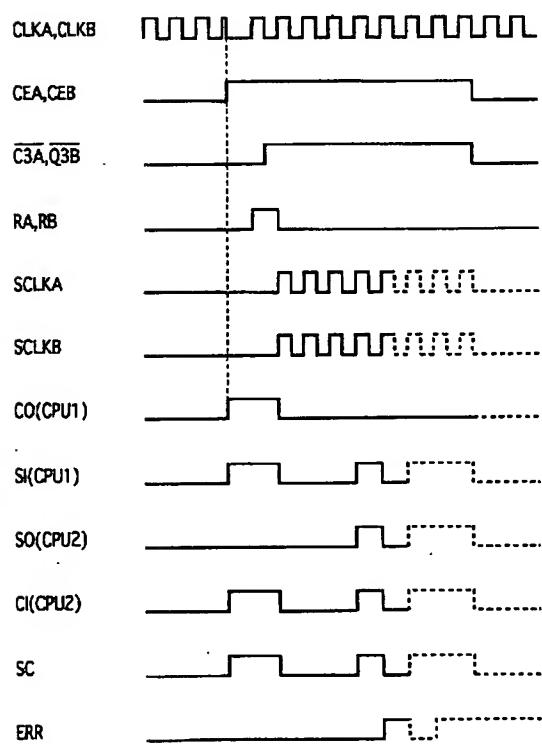
【図4】



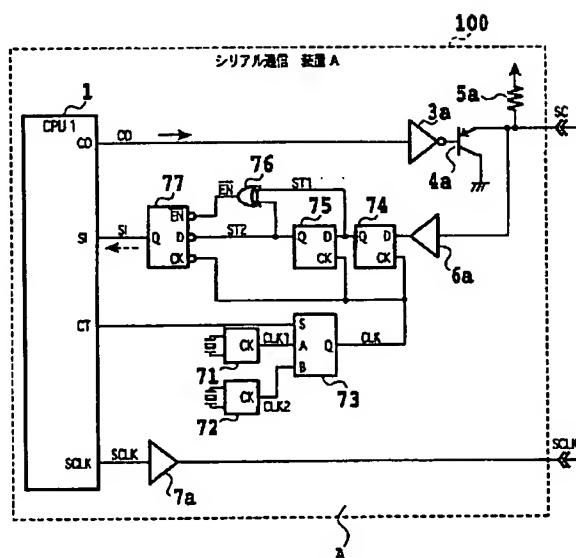
【図7】



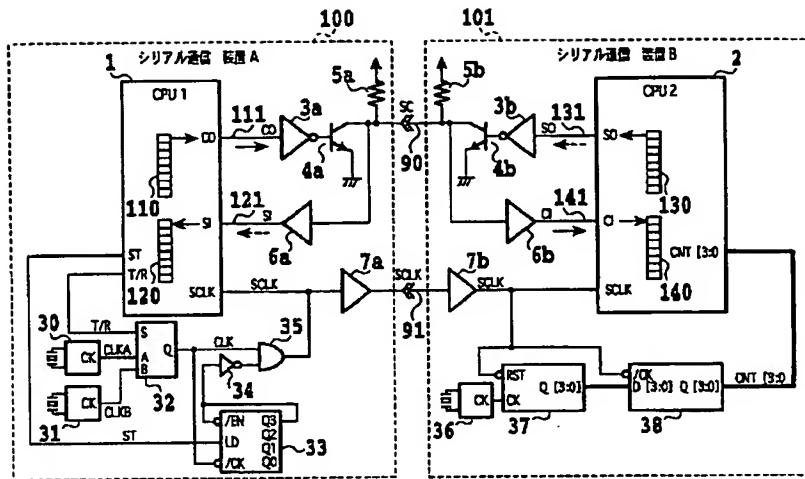
【図8】



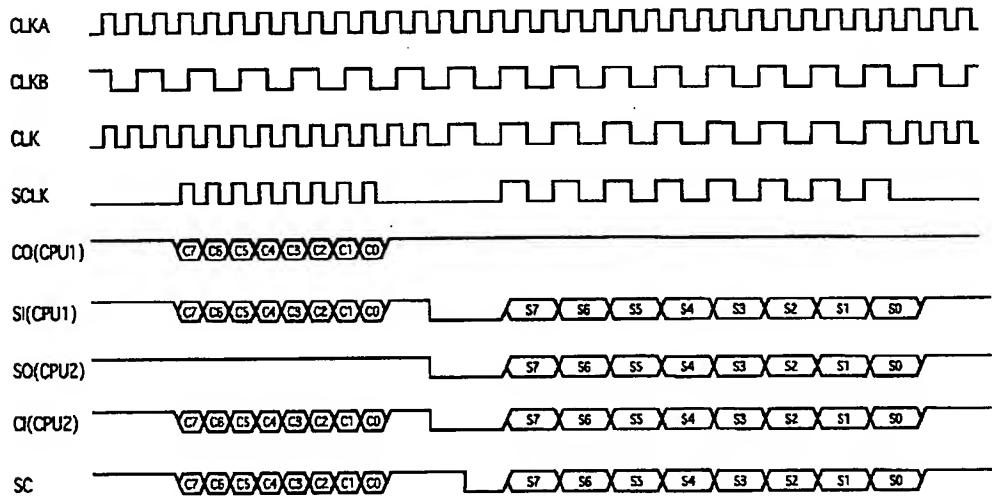
【図17】



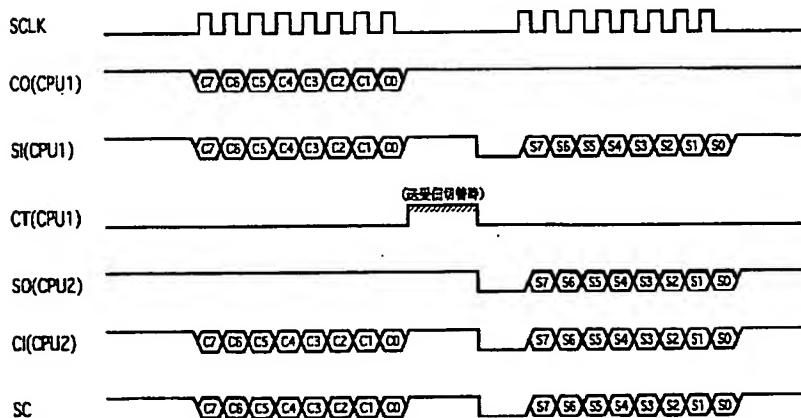
【図9】



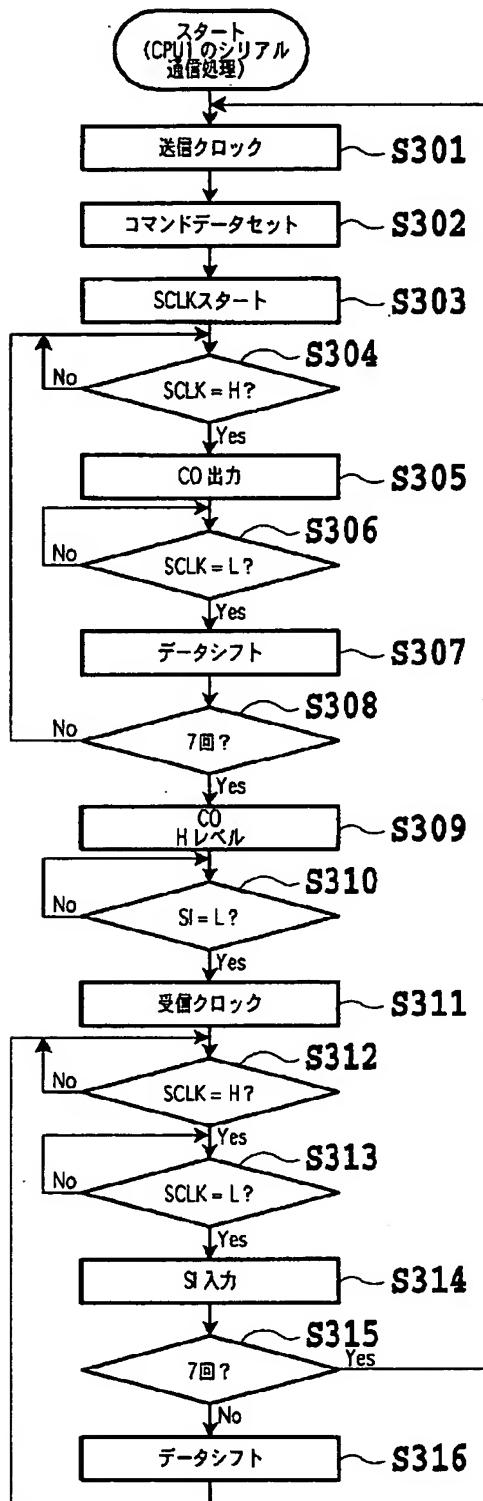
【図10】



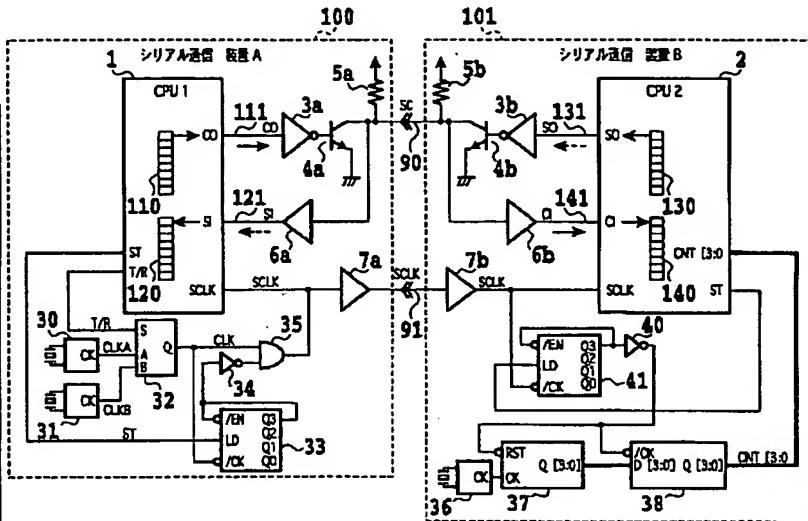
【図16】



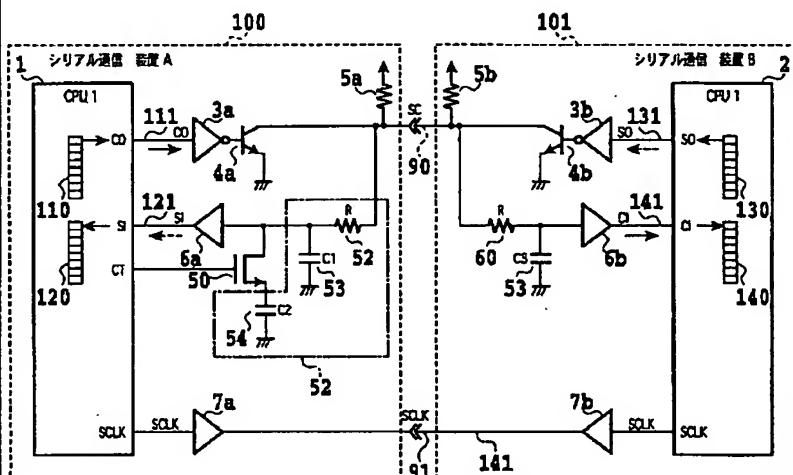
【図11】



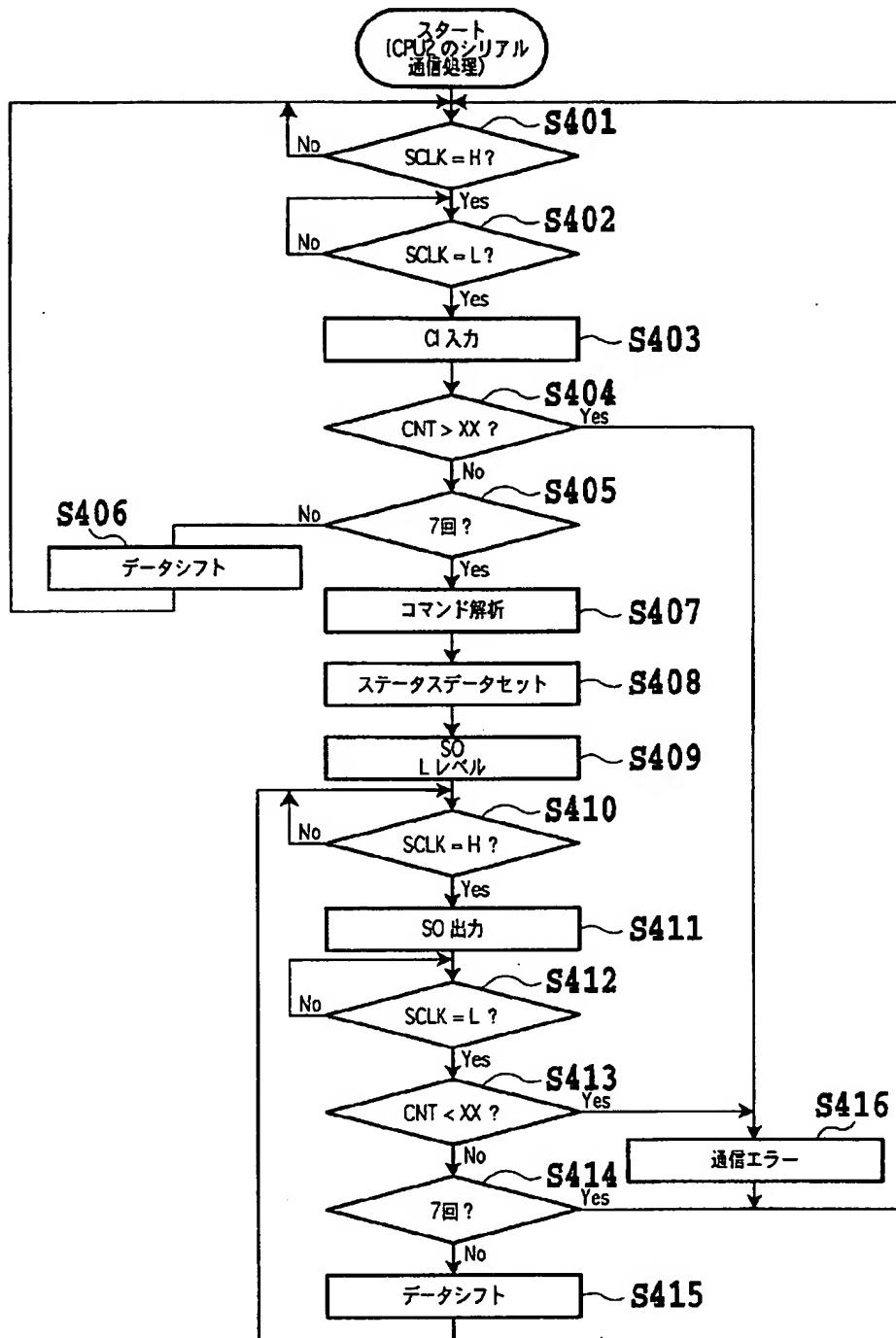
【図14】



【図15】



【図12】



【図18】

